

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-020496

(43)Date of publication of application : 24.01.1995

(51)Int.CI.

G02F 1/136

G02F 1/1333

(21)Application number : 05-189081

(71)Applicant : SONY CORP

(22)Date of filing : 30.06.1993

(72)Inventor : KADOTA HISASHI
NAKAMURA SHINJI
NODA KAZUHIRO
HAYASHI HISAO

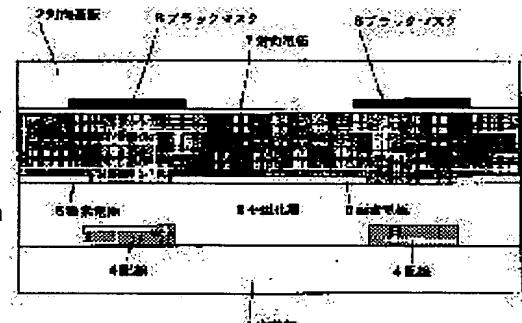
(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To suppress the influence of a lateral electric field produced between adjacent pixel electrodes of the active matrix type liquid crystal display device.

CONSTITUTION: The active matrix type liquid crystal display device consists of a main substrate 1 and an opposite substrate 2 which are arranged opposite each other across a specific gap. A liquid crystal layer 3 which has constant thickness B is held between both the substrates 1 and 2. On the top surface of the main substrate 1, an element wiring area including plural thin film transistor elements and electric conductors 4 is formed. A flattening layer 5 is formed so as to fill unevenness of the surface of the element wiring area.

Matrix-shaped pixel electrodes 6 are formed on the flat top surface of the flattening layer 5. The internal size A between adjacent pixel electrodes 6 is set larger than the thickness size of the liquid crystal layer 3 to make a secondary lateral electric field smaller than a regular longitudinal electric field.



LEGAL STATUS

[Date of request for examination] 10.12.1999

[Date of sending the examiner's decision of rejection] 27.02.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2001-04676

[Date of requesting appeal against examiner's decision of rejection] 27.03.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the active matrix liquid crystal display equipped with the main substrate and opposite substrate by which confrontation arrangement was carried out through the predetermined gap, and the liquid crystal layer of the fixed thickness held among both substrates The component wiring area where said main substrate includes two or more thin film transistor components and wiring, The active matrix liquid crystal display characterized by setting up more greatly than the thickness dimension of this liquid crystal layer the spacing dimension of the pixel electrode which has the flattening layer which buries the irregularity of this component wiring area front face, and the pixel electrode of the shape of a matrix formed in the front face where this flattening layer is even, and adjoins each other.

[Claim 2] Said flattening layer is an active matrix liquid crystal display according to claim 1 characterized by consisting of transparency resin film.

[Claim 3] In the active matrix liquid crystal display equipped with the main substrate and opposite substrate by which confrontation arrangement was carried out through the predetermined gap, and the liquid crystal layer of the fixed thickness held among both substrates The pixel electrode with which said main substrate was arranged in the shape of a matrix through predetermined spacing, It has the thin film transistor component arranged corresponding to each pixel electrode, and wiring arranged along with spacing of the pixel electrode arranged in the shape of a matrix. The active matrix liquid crystal display with which the spacing dimension of an adjacent pixel electrode is characterized by being set up more greatly than the thickness dimension of this liquid crystal layer while the width-of-face dimension of this wiring is made detailed compared with the thickness dimension of this liquid crystal layer.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to an active matrix liquid crystal display. It is related with the arrangement structure of a pixel electrode in more detail.

[0002]

[Description of the Prior Art] The conventional active matrix liquid crystal display is equipped with the main substrate and opposite substrate by which opposite arrangement was carried out through the predetermined gap, and the liquid crystal layer held among both substrates. The thin film transistor for driving a pixel electrode is cumulatively formed in the main substrate. Signal wiring is carrying out electrical connection to the source field of a thin film transistor. The corresponding pixel electrode is carrying out electrical connection to the drain field of a thin film transistor. The front face of the main substrate is covered with the orientation film. On the other hand, a counterelectrode and the orientation film are formed in the front face of an opposite substrate. Twist pneumatic orientation of the liquid crystal layer pinched by the main substrate and the opposite substrate is carried out with the orientation film, for example. In the active matrix liquid crystal indicating equipment which has this configuration, if a picture signal is supplied through signal wiring where a selection signal is impressed to the gate electrode of a thin film transistor, a predetermined signal charge will be written in a corresponding pixel electrode. By the electric field of the lengthwise direction produced between this pixel electrode and counterelectrode, the molecule of the liquid crystal layer by which TSUSUTO pneumatic orientation was carried out starts, permeability changes, and desired image display is performed.

[0003]

[Problem(s) to be Solved by the Invention] If a pixel pitch becomes small with highly-minute-izing of an active matrix liquid crystal indicating equipment, in order to secure a desired numerical aperture, it is necessary to secure a pixel electrode surface product as greatly as possible. For this reason, spacing of an adjacent pixel electrode approaches. When extreme, compared with spacing between each pixel electrode and a counterelectrode, spacing of an adjacent pixel electrode becomes small, and the case where the direction of the effect of the secondary longitudinal direction electric field generated between adjacent pixel electrodes becomes large arises from the lengthwise direction electric field of the normal impressed between each pixel electrode and a counterelectrode. Conventionally, it is influenced of longitudinal direction electric field, in order that a reverse tilt domain may not occur in a liquid crystal layer or a liquid crystal molecule may not start in it correctly, an optical omission etc. occurs, and the technical problem that degradation of image quality was caused occurs.

[0004]

[Means for Solving the Problem] This invention aims at preventing the bad influence of the longitudinal direction electric field which produce a liquid crystal pixel detailed-izing and when it is made highly minute, and maintaining image quality in view of the technical problem of a Prior art mentioned above. The following means were provided in order to attain this purpose. Namely,

according to the 1st side face of this invention, it sets to the active matrix liquid crystal display equipped with the main substrate and opposite substrate by which confrontation arrangement was carried out through the predetermined gap, and the liquid crystal layer of the fixed thickness held among both substrates. Said main substrate has component wiring area including two or more thin film transistor components and wiring, the flattening layer which buries the irregularity of this component wiring area front face, and the pixel electrode of the shape of a matrix formed in the front face where this flattening layer is even. In this configuration, the spacing dimension of an adjacent pixel electrode is set up more greatly than the thickness dimension of this liquid crystal layer.

Preferably, said flattening layer consists of transparency resin film.

[0005] In the active matrix liquid crystal display which was equipped with the main substrate and opposite substrate by which confrontation arrangement was carried out through the predetermined gap, and the liquid crystal layer of the fixed thickness held among both substrates according to the 2nd side face of this invention Said main substrate has the pixel electrode arranged in the shape of a matrix through predetermined spacing, the thin film transistor component arranged corresponding to each pixel electrode, and wiring arranged along with spacing of the pixel electrode arranged in the shape of a matrix. In this configuration, while the width-of-face dimension of this wiring is made detailed compared with the thickness dimension of a liquid crystal layer, the spacing dimension of an adjacent pixel electrode is set up more greatly than the thickness dimension of this liquid crystal layer.

[0006]

[Function] According to the 1st side face of this invention, component wiring area including a thin film transistor component and wiring is extensively covered with the flattening layer which consists of transparency resin etc. This flattening layer has sufficient thickness, in order to bury the irregularity of a component wiring area front face, and an even front face is obtained substantially. Therefore, without being theoretically influenced of the irregularity of component wiring area, a pixel electrode can be formed in the front face of a flattening layer, and even if it saw superficially and overlaps wiring of a substrate, a problem will not be produced. Therefore, even when highly minute-ization of a liquid crystal pixel is advanced, sufficient area can be secured for each pixel electrode of every, and a numerical aperture is not spoiled. However, if the spacing dimension of an adjacent pixel electrode is reduced without any restriction, compared with the lengthwise direction electric field of normal, secondary longitudinal direction electric field will become large relatively. Then, the spacing dimension of an adjacent pixel electrode was set up more greatly than the thickness dimension of a liquid crystal layer, the effect of longitudinal direction electric field was removed substantially, and the reverse tilt domain, the optical omission, etc. are prevented.

[0007] According to the 2nd side face of this invention, highly minute-ization of an active matrix liquid crystal display is attained without using a flattening layer. That is, in the planar structure which arranged signal wiring and gate wiring along with spacing of the pixel electrode arranged in the shape of a matrix, in order to attain highly minute-ization, the width-of-face dimension of this wiring is made detailed compared with the thickness dimension of a liquid crystal layer. In this case, when it reduces without any restriction [the spacing dimension of an adjacent pixel electrode], there is *** to which secondary longitudinal direction electric field become large compared with the lengthwise direction electric field of normal. Therefore, when the spacing dimension of a pixel electrode sets up even in this case more greatly than the thickness dimension of a liquid crystal layer, the reverse tilt domain, the optical omission, etc. are prevented.

[0008]

[Example] With reference to a drawing, the suitable example of this invention is explained to a detail below. drawing 1 is the typical sectional view showing the 1st example of the active matrix liquid crystal display concerning this invention. This active matrix liquid crystal display is equipped with the main substrate 1 and the

opposite substrate 2 by which confrontation arrangement was carried out through the predetermined gap so that it may illustrate. The liquid crystal layer 3 is held between both the substrates 1 and 2, and it has fixed thickness B. Component wiring area including two or more thin film transistor components (not shown) and wiring 4 is formed in the front face of the main substrate 1. In addition, the signal wiring by which electrical connection of this wiring 4 is carried out to the source field of a thin film transistor, gate wiring which similarly carries out electrical connection to a gate electrode are included. In order to bury the irregularity of this component wiring area front face, the flattening layer 5 is formed. Since the flattening layer 5 consists of transparency resin film etc. and has sufficiently big thickness compared with the level difference dimension of wiring 4 etc., the front face is substantially even. The pixel electrode 6 is formed in the even front face of the flattening layer 5 in the shape of a matrix. As a description matter of this invention, the spacing dimension a of the adjacent pixel electrode 6 is set up more greatly than the thickness dimension B of this liquid crystal layer 3.

[0009] In addition, in this example, it has consistency at spacing of the adjacent pixel electrode 6, and patterning formation of the wiring 4 is carried out. In this case, since the level difference of wiring 4 is completely absorbed by the flattening layer 5 and irregularity does not arise at all even if it sees superficially and overlaps the edge of the pixel electrode 6 in wiring 4, when performing orientation control of the liquid crystal layer 3, trouble does not arise.

[0010] On the other hand, the counterelectrode 7 is formed in the internal surface of the opposite substrate 2. Thickness B of the liquid crystal layer 3 is equal to the appearance understood from drawing in the gap dimension between a counterelectrode 7 and the pixel electrode 6. If a predetermined electrical potential difference is impressed between a counterelectrode 7 and the pixel electrode 6, the molecular arrangement of the liquid crystal layer 3 will change, permeability will change, and desired image display will be performed. Under the present circumstances, since the spacing dimension a of the adjacent pixel electrode 6 is greatly set up compared with the spacing dimension B of each pixel electrode 6 and a counterelectrode 7, the secondary longitudinal direction electric field impressed between the pixel electrodes 6 are relatively controlled small compared with the lengthwise direction electric field of normal. Consequently, the reverse tilt domain and the optical omission of the liquid crystal layer 3 can be controlled. In addition, it has consistency with spacing of the pixel electrode 6 arranged in the shape of a matrix, and the black mask 8 is formed in the internal surface of the opposite substrate 2. By carrying out the mask of the part of the liquid crystal layer 3 which does not contribute to image display, this black mask 8 is formed in order to raise effectual display contrast. Moreover, although not shown clearly by a diagram, orientation processing predetermined in the internal surface of the main substrate 1 and the opposite substrate 2 is performed, respectively, and the liquid crystal layer 3 is for example, in the twist pneumatic orientation condition.

[0011] Drawing 2 is the top view which, and expressed it. [the top view] [the active matrix liquid crystal display shown in drawing 1] [**] [type] The pixel electrode 6 is arranged in the shape of a matrix. In accordance with the spacing of each pixel electrode 6, gate wiring 4G are arranged in the direction of X. Moreover, signal wiring 4S are arranged in the direction of Y along between the trains of the pixel electrode 6. Corresponding to each pixel electrode 6, the thin film transistor (TFT) 9 for switching is formed. The gate electrode of TFT9 is connected to gate wiring 4G corresponding, the source electrode is connected to signal wiring 4S corresponding, and the drain electrode is connected to the corresponding pixel electrode 6. A selection pulse is supplied to gate wiring 4G by line sequential, and the pixel electrode 6 is made into switch-on for every line. Synchronizing with this, a picture signal is supplied to signal wiring 4S, a picture signal is written in the pixel electrode 6 through TFT9 in switch-on, and desired image display is performed. In addition, in the case of the liquid crystal display, the alternating current drive is performed, and the polarity of a picture signal is reversed for every line. Depending on the case, the polarity reversals of a picture signal may be performed for every field.

[0012] Next, with reference to drawing 3 and drawing 4, actuation of the active matrix liquid crystal display shown in drawing 1 and drawing 2 is explained to a detail. Drawing 3 is the typical sectional view cut along with X-X-ray shown in drawing 2, (1) expresses the case where the spacing A of the adjacent pixel electrode 6 sets up small compared with the spacing B of a counterelectrode 7 and the pixel electrode 6, and (2) expresses the case where spacing A is greatly set up compared with spacing B according to this invention. If an electrical potential difference is impressed to the pixel electrode 6 and a counterelectrode 7 with the electrode disposition structure of (1), since the direction of the longitudinal direction electric field EH generated in contiguity pixel inter-electrode will become stronger than the lengthwise direction electric field EV of normal, unlike perpendicularly it should be perpendicularly suitable essentially, liquid crystal molecule 3M located near the edge of the pixel electrode 6 will be suitable in the direction of slant. A reverse tilt domain occurs by this, or it becomes the cause of an optical omission and leads to degradation of image quality. On the other hand, with the electrode disposition structure of (2), even if it impresses an electrical potential difference to the pixel electrode 6 and a counterelectrode 7, longitudinal direction electric field can start in the direction which should be turned to essentially, without influencing liquid crystal molecule 3M of a contiguity pixel electrode compared with lengthwise direction electric field, since it is sufficiently small.

[0013] Drawing 4 is the sectional view cut along with the Y-Y line similarly shown in drawing 2, (1) is the case where the spacing A of the pixel electrode 6 which adjoins each other for numerical aperture reservation is small set up compared with the spacing B of a counterelectrode 7 and the pixel electrode 6, and (2) is the case where spacing A is greatly set up compared with spacing B according to this invention. Especially with the electrode disposition structure shown in (1), since the electrical potential difference of the positive/negative contrary will be built between the adjacent pixel electrodes 6 when it drives by performing polarity reversals for every line, it will be influenced of the bigger longitudinal direction electric field EH, and turbulence of liquid crystal molecule 3M will become large. That is, if the polarity-reversals drive for every line is performed, compared with the right-and-left pixel inter-electrode potential difference shown in (1) of drawing 3, the vertical pixel inter-electrode potential difference shown in (1) of drawing 4 will become large notably. Therefore, it is important for the relation of A>B specified by this invention to fill with the pixel inter-electrode which adjoins up and down especially. If the pixel electrode 6 and a counterelectrode 7 are arranged so that the relation of A>B may be filled as shown in (2), the bad influence by longitudinal direction electric field can be removed, and liquid crystal molecule 3M can be started to an original perpendicular direction.

[0014] Especially the relation of A>B specified according to this invention has important semantics in the active matrix liquid crystal display which adopted the flattening layer. Because, in the active matrix liquid crystal display which has the flattening layer in which a raise in a numerical aperture is possible, a large area of a pixel electrode can be taken compared with the former. Moreover, it is because it is possible to reduce contiguity pixel inter-electrode distance to the limitation of patterning precision theoretically, so the situation of not filling relation of A>B may happen much. What is necessary is to sprinkle on a substrate the gap spacer which has a particle size smaller than pixel inter-electrode distance as a means on the manufacture approach which is always stabilized and fills the relation of A>B, and just to stick the main substrate and an opposite substrate. According to this approach, even if considerable extent contraction of the contiguity inter-electrode distance is carried out, it is possible for it to be stabilized physically and to guarantee the relation of A>B. However, since the thickness of a liquid crystal layer also becomes small as highly-minute-izing of a liquid crystal pixel and high numerical aperture-ization progress, it will be necessary to choose suitably the liquid crystal ingredient which fulfills a predetermined electro-optics property.

[0015] Next, with reference to drawing 5 and drawing 6, the manufacture approach of the active matrix liquid crystal display shown in drawing 1 is explained to a detail. the front face of the insulating substrate which becomes the beginning from a quartz etc. in the process A of drawing 5 first -- the

1st polycrystalline silicon thin film (1Poly) -- LPCVD -- membranes are formed by law. Next, once performing Si ion implantation and making it detailed, solid phase growth is performed and diameter-ization of a large drop of 1Poly is attained. Patterning of the 1Poly is carried out to the shape of an island after that, and a component field is formed. Furthermore the front face is oxidized thermally and it is SiO₂. It carries out and gate oxide is obtained. Furthermore, boron ion is poured in by predetermined concentration, and threshold voltage is adjusted beforehand. next, the process B -- setting -- LPCVD -- SiN is formed by law and it considers as a gate nitride. This front face of SiN is oxidized thermally and it is SiO₂. It converts. Thus, SiO₂ / SiN/SiO₂ Gate dielectric film excellent in the pressure resistance which consists of a three-tiered structure is obtained. Next, the 2nd polycrystalline silicon thin film (2Poly) is deposited by the LPCVD method. After attaining low resistance-ization of 2Pol(ies), patterning is carried out to a predetermined configuration and the gate electrode G is obtained. Next, by using the gate electrode G as a mask, As ion is poured in by self-alignment and it considers as the so-called LDD structure. Then, after removing SiN by etching partially, As ion is poured in by high concentration and the source field S and the drain field D are established in 1Poly. Thus, TFT of an N channel mold is formed. In addition, in forming TFT of a P channel mold, it pours in boron ion. then, the process C -- setting -- APCVD -- the 1st interlayer insulation film (1PSG) is deposited by law. After carrying out patterning formation of the 1st contact hole (1CON) at this 1PSG, aluminum (aluminum) is extensively formed by sputtering. The signal wiring which carries out patterning of this to a predetermined configuration, and carries out electrical connection to the source field S of TFT is processed.

[0016] the process D of drawing 6 -- setting -- LPCVD -- the 2nd interlayer insulation film (2PSG) is deposited on 1PSG in piles, and the signal wiring which consists of aluminum is completely covered with law. Then, the irregularity of 2PSG front face is fill uped with a flattening layer in Process E. For this reason, the liquefied acrylic resin which has predetermined viscosity was applied by spin coating at this example. The afterbaking processing was performed, acrylic resin was stiffened, and it considered as the flattening layer. Photolithography and etching are performed to the hardened flattening layer, and the 2nd contact hole (2CON) is formed. The drain field D of TFT is exposed to this pars basilaris ossis occipitalis of 2CON(s). Next, in Process F, the transparency electric conduction film is formed by sputtering. In this example, ITO is used as a transparency electric conduction film ingredient. The interior of 2CON(s) is also filled up with ITO, and the drain field D of TFT and an electric flow are taken. Finally in Process G, patterning of the ITO is carried out to a predetermined configuration, and it considers as a pixel electrode. The main substrate flattening was carried out [the substrate] by the above process is obtained. Then, an opposite substrate is joined through a predetermined gap, enclosure restoration of the liquid crystal layer is carried out into this gap, and an active matrix liquid crystal display is obtained.

[0017] Although the example mentioned above is the active matrix liquid crystal display with which the flattening layer was formed, this invention is not restricted to this. Even if it is the active matrix liquid crystal display which does not have a flattening layer, when detailed-ization of signal wiring or gate wiring is performed with highly-minute-izing, this invention is effective similarly. In view of this point, the 2nd example of this invention is explained to a detail with reference to drawing 7 . The active matrix liquid crystal display has the main substrate 1 and the opposite substrate 2 by which confrontation arrangement was carried out through the predetermined gap so that it may illustrate. Among both the substrates 1 and 2, the liquid crystal layer 3 which has fixed thickness B is held. In the front face of the main substrate 1, the pixel electrode 6 is arranged in the shape of a matrix through the predetermined spacing A. Moreover, the thin film transistor component (not shown) is formed corresponding to each pixel electrode 6. Furthermore, wiring 4 is arranged along with spacing of the pixel electrode 6 arranged in the shape of a matrix. While the width-of-face dimension C of this wiring 4 is made detailed compared with the thickness dimension B of a liquid crystal layer, the spacing dimension a of the adjacent pixel electrode 6 is set up more greatly than the thickness dimension B of the liquid crystal layer 3. For example, the thickness dimension B of the liquid crystal

layer 3 is about 3-4 micrometers. Detailed-sizing is possible for the width-of-face dimension C of wiring 4 to about 1 micrometer by applying a VLSI technique and on the other hand, attaining low resistance-ization. In this case, it is possible to make spacing dimension a of the pixel electrode 6 smaller than the thickness dimension B of the liquid crystal layer 3 in manufacturing technology. However, there is *** which was mentioned above and which a reverse tilt domain and an optical omission generate like in this case. Then, according to this invention, the spacing dimension a of the pixel electrode 6 is set up more greatly than the thickness dimension B of a liquid crystal layer.

[0018] The arrangement structure of the pixel electrode 6 in the common active matrix liquid crystal display to drawing 8 and a counterelectrode 7 is shown for reference. The thickness dimension B of the liquid crystal layer 3 is set as 3-4 micrometers by the appearance mentioned above. On the other hand, on the level of a processing technique usual in the width-of-face dimension C of wiring 4, about 2.5 micrometers is a limitation. Moreover, the distance of wiring 4 and the pixel electrode 6 is about 1.5 micrometers. Therefore, the spacing dimension a of the adjacent pixel electrode 6 is set to about 5.5 micrometers, and is larger than the thickness dimension of the liquid crystal layer B. Therefore, it is not necessary to pay consideration to the relation between A and B especially in a common active matrix liquid crystal display. However, to attain detailed-ization of wiring 4 and realize highly minute-ization of an active matrix liquid crystal display, it is necessary to attach importance to related $A > B$ specified by this invention.

[0019]

[Effect of the Invention] When highly-minute-izing of an active matrix liquid crystal display and high numerical aperture-ization are attained, spacing of an adjacent pixel electrode is set to A and spacing of a pixel electrode and a counterelectrode is set [which was explained above] to B like according to this invention, a reverse tilt domain and an optical omission can be controlled by filling the relation of $A > B$. Consequently, it is effective in the ability to obtain the active matrix liquid crystal display of high-definition and high contrast.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the typical fragmentary sectional view showing the 1st example of the active matrix liquid crystal display concerning this invention.

[Drawing 2] It is the typical top view of the active matrix liquid crystal display shown in drawing 1.

[Drawing 3] It is the explanatory view of the active matrix liquid crystal display shown in drawing 1 and drawing 2 of operation.

[Drawing 4] It is the explanatory view of the active matrix liquid crystal display similarly shown in drawing 1 and drawing 2 of operation.

[Drawing 5] It is the production process Fig. of the active matrix liquid crystal display shown in drawing 1.

[Drawing 6] Similarly it is a production process Fig.

[Drawing 7] It is the typical sectional view showing the 2nd example of the active matrix liquid crystal display concerning this invention.

[Drawing 8] It is the sectional view showing the example of reference of an active matrix liquid crystal display.

[Description of Notations]

1 The Main Substrate

2 Opposite Substrate

3 Liquid Crystal Layer

4 Wiring

5 Flattening Layer

6 Pixel Electrode

7 Counterelectrode

8 Black Mask

A Spacing of a pixel electrode

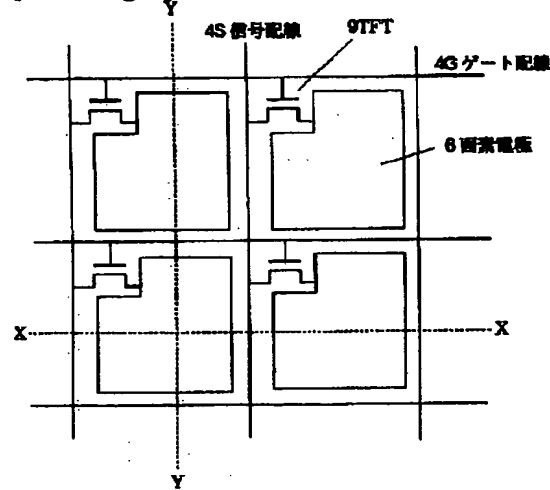
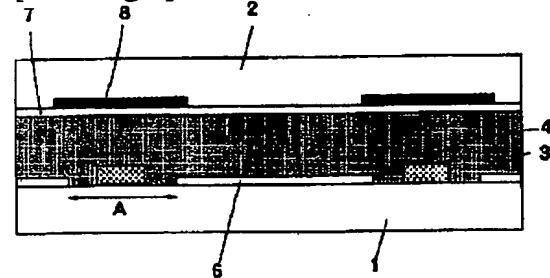
B Thickness of a liquid crystal layer

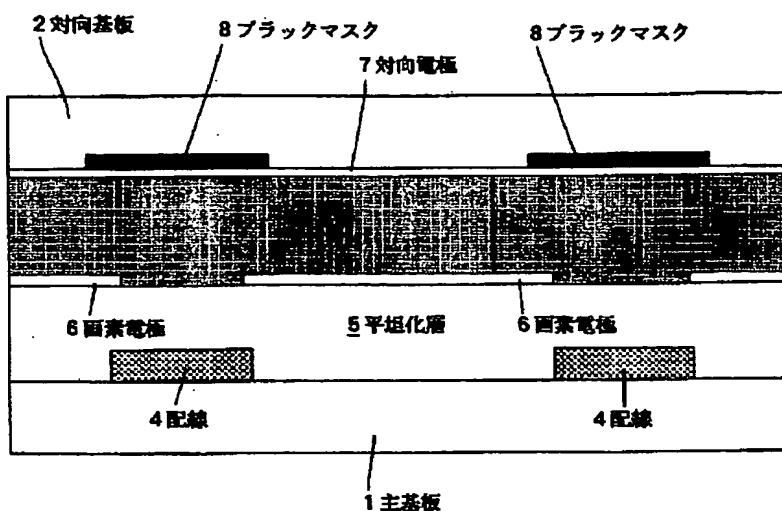
[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

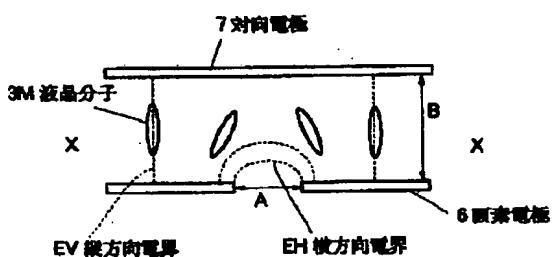
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS**[Drawing 2]****[Drawing 7]****[Drawing 1]**

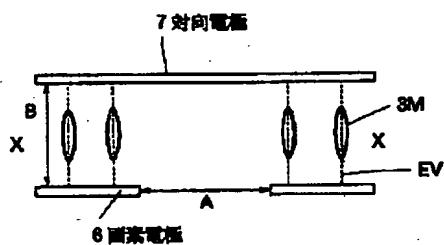


[Drawing 3]

(1)

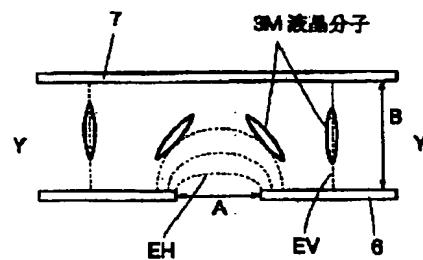


(2)

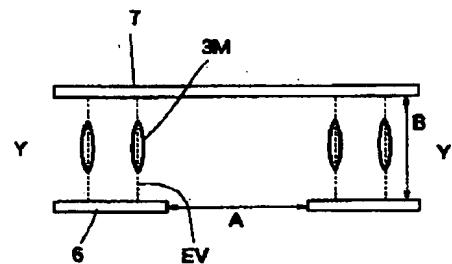


[Drawing 4]

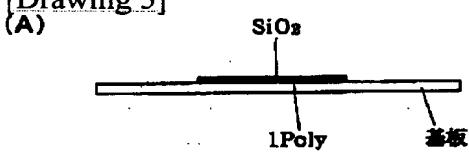
(1)



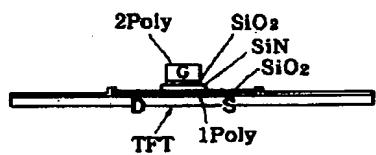
(2)



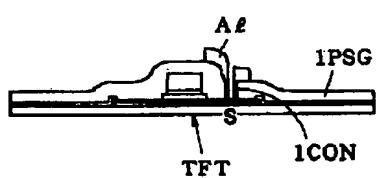
[Drawing 5]



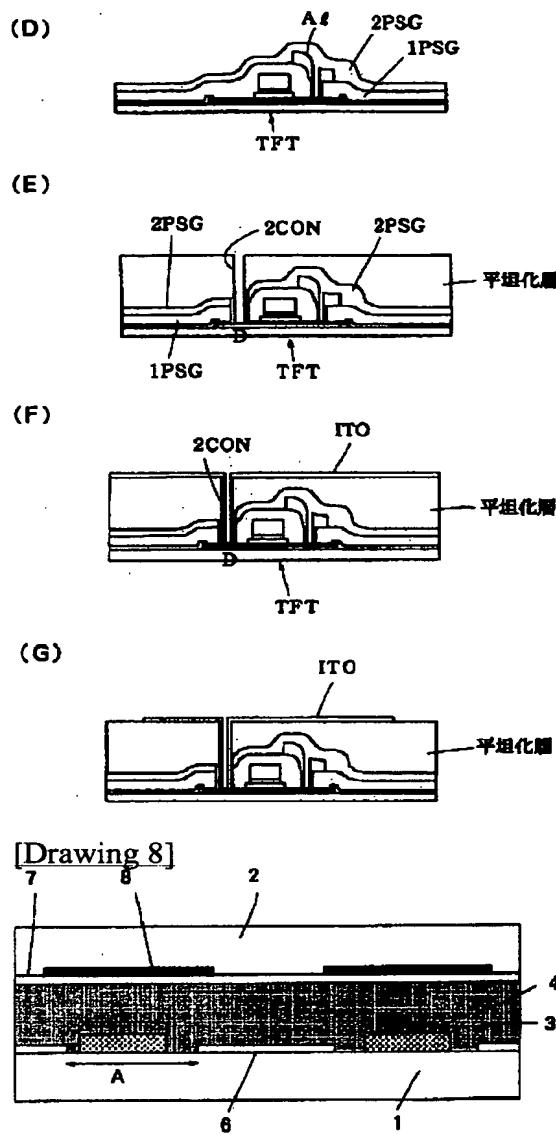
(B)



(C)



[Drawing 6]



[Translation done.]

(04523, 74524)

拒絶査定

46

特許出願の番号

特願2000-190957

起案日

平成16年3月10日

特許庁審査官

右田 昌士

3014 2X00

期限

04.4.15

知的財産室
SEIKO EPSON CORPORATION

発明の名称

電気光学装置

F005143

特許出願人

セイコーエプソン株式会社

USO/4類

代理人

上柳 雅誉(外 1名)

この出願については、平成15年6月3日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考:

(1) 補正後の請求項1及びその従属項について

出願人は、意見書において、「請求項1記載の発明によれば、前記異なる極性で駆動するための互いに隣接した画素電極間の間隙をW1とし、前記画素電極の中央領域における該画素電極と前記対向電極との間の距離をDとしたとき、0.5 D < W1」の関係としたので、横電界による電気光学物質の配向不良を抑えることができる。

一方、引用文献1-4には、電気光学物質を異なる極性で駆動するための互いに隣接した画素電極間の間隙をどのように設定するか開示も示唆もされていない。

よって、引用文献1-4を組み合わせても、少なくとも本願請求項1の「前記異なる極性で駆動するための互いに隣接した画素電極間の間隙をW1とし、前記画素電極の中央領域における該画素電極と前記対向電極との間の距離をDとしたとき、0.5 D < W1」の関係である」点は、当業者であつても容易に想到することはできない。旨主張している。

しかしながら、「異なる極性で駆動される互いに隣接した画素電極間に横電界が発生して、電気光学物質に配向不良が生じることを抑える」という課題は本願出願前に周知であって（例：特開平7-20496号公報）、前記周知例には

「W1 > D」を満たす構造の電気光学装置が記載されており、前記周知例の「W1」の範囲（「W1 > D」）は本願発明の「W1」の範囲（「W1 > 0.5 D」）に包含されている。

してみると、引用文献1-2に記載された発明において、「W1」を「W1 > 0.5 D」を満たす範囲の値にすることは単なる設計変更に過ぎない。

(そして、本願発明で「W1」の下限として「0.5D」という値を選択することに臨界的な意義があるとは認められない。)

したがって、出願人の上記主張は採用できない。

(2) 補正後の請求項2及びその従属項について

出願人は、意見書において、「請求項2記載の発明によれば、前記異なる極性で駆動するための互いに隣接した画素電極間の間隙をW1とし、前記異なる極性で駆動するための互いに隣接した画素電極と前記対向電極との間の距離をd1としたとき、W1=d1の関係としたので、横電界の影響を低減しつつ、微細ピッチな画素の高開口率化を図ることができる。」旨主張している。

一方、引用文献1-4には、電気光学物質を異なる極性で駆動するための互いに隣接した画素電極間の間隙をどのように設定するか開示も示唆もされていない。

よって、本願請求項2記載の発明は、引用文献1-4を組み合わせても容易に想到することができたものでない。」旨主張している。

しかしながら、「(異なる極性で駆動される互いに隣接した画素電極間に発生する)横電界の影響を低減しつつ、微細ピッチな画素の高開口率化を図る」という課題は本願出願前に周知であり(例:特開平5-113578号公報)、前記周知例には、「W1」を「d1」と同等にする(「W1=d1」)構造の電気光学装置が記載されている。

してみると、引用文献1-2に記載された発明において、「W1」として「W1=d1」を満たす値を選択することは単なる設計変更に過ぎない。

したがって、出願人の上記主張は採用できない。

なお、補正後の請求項2の「前記電気光学物質を互いに同じ極性で駆動するための互いに隣接した前記画素電極間に對応する前記電気光学物質の層厚前記異なる極性で駆動するための互いに隣接した画素電極間の間隙をW1とし」という記載(「層厚」の後の文言が欠落している)は、「前記電気光学物質を互いに同じ極性で駆動するための互いに隣接した前記画素電極間に對応する前記電気光学物質の層厚より薄く前記異なる極性で駆動するための互いに隣接した画素電極間の間隙をW1とし」の誤記と思われる。

また、補正後の請求項11(請求項1-10の従属項)には「前記盛上り部」という記載があるが、請求項1-2では「盛上り部」という用語は使用されておらず、記載が矛盾する。

整理番号:J0077919 発送番号:094243 発送日:平成16年 3月16日

3/E

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成16年 3月11日 経済産業事務官 栗田 健志

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-20496

(43)公開日 平成7年(1995)1月24日

(51) Int.Cl. ⁶ G 0 2 F	識別記号 1/136 1/1333	序内整理番号 5 0 0 9119-2K 5 0 0 9225-2K	F I	技術表示箇所
--------------------------------------	-------------------------	--	-----	--------

審査請求 未請求 請求項の数3 FD (全7頁)

(21)出願番号 特願平5-189081

(22)出願日 平成5年(1993)6月30日

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72)発明者 門田 久志
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 中村 真治
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 野田 和宏
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 鈴木 晴敏

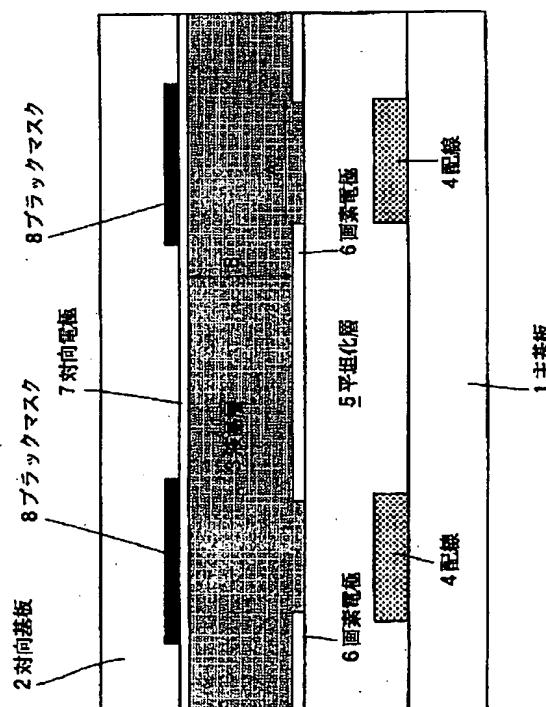
最終頁に統く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【目的】 アクティブマトリクス型液晶表示装置において隣接画素電極間に発生する横方向電界の影響を抑制する。

【構成】 アクティブマトリクス型液晶表示装置は、所定の間隙を介して互いに対面配置された主基板1と対向基板2とから構成されている。両基板1, 2の間には一定の厚みBを有する液晶層3が保持されている。主基板1の表面には、複数の薄膜トランジスタ素子及び配線4を含む素子配線エリアが形成されている。この素子配線エリア表面の凹凸を埋める為平坦化層5が成膜されている。平坦化層5の平らな表面にはマトリクス状の画素電極6が形成されている。隣り合う画素電極6の間隔寸法Aは、該液晶層3の厚み寸法Bよりも大きく設定されており、正規の縦方向電界に比べ副次的な横方向電界が小さくなる様にしている。



(2)

2

【特許請求の範囲】

【請求項1】 所定の間隙を介して互いに対面配置された主基板及び対向基板と、両基板間に保持された一定厚みの液晶層とを備えたアクティブマトリクス型液晶表示装置において、

前記主基板は複数の薄膜トランジスタ素子及び配線を含む素子配線エリアと、該素子配線エリア表面の凹凸を埋める平坦化層と、該平坦化層の平らな表面に形成されたマトリクス状の画素電極とを有しており、

隣り合う画素電極の間隔寸法を該液晶層の厚み寸法より大きく設定した事を特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 前記平坦化層は透明樹脂膜からなる事を特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項3】 所定の間隙を介して互いに対面配置された主基板及び対向基板と、両基板間に保持された一定厚みの液晶層とを備えたアクティブマトリクス型液晶表示装置において、

前記主基板は所定の間隔を介してマトリクス状に配列された画素電極と、個々の画素電極に対応して配置された薄膜トランジスタ素子と、マトリクス状に配列した画素電極の間隔に沿って配設された配線とを有しており、該配線の幅寸法が該液晶層の厚み寸法に比べて微細化されている一方、隣り合う画素電極の間隔寸法が該液晶層の厚み寸法より大きく設定されている事を特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型液晶表示装置に関する。より詳しくは、画素電極の配置構造に関する。

【0002】

【従来の技術】 従来のアクティブマトリクス型液晶表示装置は、所定の間隙を介して互いに対向配置された主基板及び対向基板と、両基板間に保持された液晶層とを備えている。主基板には画素電極を駆動する為の薄膜トランジスタが集積的に形成されている。薄膜トランジスタのソース領域には信号配線が電気接続している。薄膜トランジスタのドレイン領域には対応する画素電極が電気接続している。主基板の表面は配向膜により被覆されている。一方、対向基板の表面には対向電極及び配向膜が形成されている。主基板及び対向基板によって挟持された液晶層は配向膜によって例えばツイストネマティック配向されている。かかる構成を有するアクティブマトリクス型液晶表示装置において、薄膜トランジスタのゲート電極に選択信号を印加した状態で、信号配線を介し画像信号を供給すると、対応する画素電極に所定の信号電荷が書き込まれる。この画素電極と対向電極との間に生じた縦方向の電界により、ツイストネマティック配向され

た液晶層の分子が立ち上がり、透過率が変化して所望の画像表示が行なわれる。

【0003】

【発明が解決しようとする課題】 アクティブマトリクス型液晶表示装置の高精細化に伴ない画素ピッチが小さくなってくると、所望の開口率を確保する為画素電極面積を可能な限り大きく確保する必要がある。この為、隣り合う画素電極の間隔が接近してくる。極端な場合、各画素電極と対向電極との間の間隔に比べ、隣り合う画素電極の間隔が小さくなり、各画素電極と対向電極との間に印加される正規の縦方向電界より、隣り合う画素電極の間に発生する副次的な横方向電界の影響の方が大きくなる場合が生じる。従来、横方向電界の影響を受け、液晶層にリバースチルトドメインが発生したり、液晶分子が正しく立ち上がらない為光抜け等が発生し、画質の劣化を招いていたという課題がある。

【0004】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明は液晶画素を微細化及び高精細化した場合に生じる横方向電界の悪影響を防止し画質を維持する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明の第1側面によれば、所定の間隙を介して互いに対面配置された主基板及び対向基板と、両基板間に保持された一定厚みの液晶層とを備えたアクティブマトリクス型液晶表示装置において、前記主基板は複数の薄膜トランジスタ素子及び配線を含む素子配線エリアと、該素子配線エリア表面の凹凸を埋める平坦化層と、該平坦化層の平らな表面に形成されたマトリクス状の画素電極とを有している。かかる構成において、隣り合う画素電極の間隔寸法は該液晶層の厚み寸法より大きく設定されている。好ましくは、前記平坦化層は透明樹脂膜からなる。

【0005】 本発明の第2側面によれば、所定の間隙を介して互いに対面配置された主基板及び対向基板と、両基板間に保持された一定厚みの液晶層とを備えたアクティブマトリクス型液晶表示装置において、前記主基板は所定の間隔を介してマトリクス状に配列された画素電極と、個々の画素電極に対応して配置された薄膜トランジスタ素子と、マトリクス状に配列した画素電極の間隔に沿って配設された配線とを有している。かかる構成において、該配線の幅寸法は液晶層の厚み寸法に比べて微細化されている一方、隣り合う画素電極の間隔寸法は該液晶層の厚み寸法より大きく設定されている。

【0006】

【作用】 本発明の第1側面によれば、薄膜トランジスタ素子及び配線を含む素子配線エリアは透明樹脂等からなる平坦化層で全面的に被覆されている。この平坦化層は素子配線エリア表面の凹凸を埋める為に十分な厚みを有しており、実質的に平らな表面が得られる。従って、理論的には素子配線エリアの凹凸の影響を受ける事なく、

(3)

3

平坦化層の表面に画素電極を形成でき、仮に平面的に見て下地の配線と重複していても問題は生じない。従つて、液晶画素の高精細化を進めた場合でも、個々の画素電極毎に十分な面積を確保でき開口率を損なう事がない。しかしながら、隣り合う画素電極の間隔寸法を無制限に縮小すると正規の縦方向電界に比べ副次的な横方向電界が相対的に大きくなってしまう。そこで、隣り合う画素電極の間隔寸法を液晶層の厚み寸法より大きく設定して、横方向電界の影響を実質的に除去し、リバースチルトドメインや光抜け等を防止している。

【0007】本発明の第2側面によれば、平坦化層を用いないでアクティブマトリクス型液晶表示装置の高精細化を図っている。即ち、マトリクス状に配列した画素電極の間隔に沿って信号配線やゲート配線を配設した平面構造において、高精細化を図る為該配線の幅寸法を液晶層の厚み寸法に比べて微細化している。この場合、隣り合う画素電極の間隔寸法も無制限に縮小した場合、正規の縦方向電界に比べて副次的な横方向電界が大きくなる惧れがある。従つて、この場合でも画素電極の間隔寸法が液晶層の厚み寸法より大きく設定する事により、リバースチルトドメインや光抜け等を防止している。

【0008】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は、本発明にかかるアクティブマトリクス型液晶表示装置の第1実施例を示す模式的な断面図である。図示する様に、本アクティブマトリクス型液晶表示装置は、所定の間隙を介して互いに対面配置された主基板1及び対向基板2を備えている。両基板1、2間に液晶層3が保持されており、一定の厚みBを有する。主基板1の表面には、複数の薄膜トランジスタ素子(図示せず)及び配線4を含む素子配線エリアが形成されている。なお、この配線4は薄膜トランジスタのソース領域に電気接続される信号配線や、同じくゲート電極に電気接続するゲート配線等が含まれる。この素子配線エリア表面の凹凸を埋める為平坦化層5が形成されている。平坦化層5は透明樹脂膜等からなり配線4の段差寸法等に比べ十分大きな膜厚を有する為、その表面は実質的に平らである。平坦化層5の平らな表面には、マトリクス状に画素電極6が形成されている。本発明の特徴事項として、隣り合う画素電極6の間隔寸法Aは、該液晶層3の厚み寸法Bよりも大きく設定されている。

【0009】なお本実施例では、隣り合う画素電極6の間隔に整合して配線4がパタニング形成されている。この場合、配線4の段差が平坦化層5により完全に吸収されているので、平面的に見て画素電極6の端部を配線4と重複させても何ら凹凸が生じない為、液晶層3の配向制御を行なう上で支障が生じない。

【0010】一方対向基板2の内表面には対向電極7が形成されている。図から理解される様に、液晶層3の厚みBは、対向電極7と画素電極6の間の間隙寸法に等し

(3)

4

い。対向電極7と画素電極6との間に所定の電圧が印加されると液晶層3の分子配列が変化して透過率が変化し所望の画像表示が行なわれる。この際、隣り合う画素電極6の間隔寸法Aは各画素電極6と対向電極7の間隔寸法Bに比べて大きく設定しているので、画素電極6間に印加される副次的な横方向電界は正規の縦方向電界に比べ相対的に小さく抑制される。この結果、液晶層3のリバースチルトドメインや光抜けを抑制できる。なお、マトリクス状に配列した画素電極6の間隔と整合して、対向基板2の内表面にはブラックマスク8が形成されている。

このブラックマスク8は画像表示に寄与しない液晶層3の部分をマスクする事により、実効的な表示コントラストを高める為に設計されたものである。又、図では明示していないが、主基板1及び対向基板2の内表面は夫々所定の配向処理が施されており、液晶層3は例えばツイストネマティック配向状態となっている。

【0011】図2は、図1に示したアクティブマトリクス型液晶表示装置を模式化して表わした平面図である。画素電極6はマトリクス状に配列されている。各画素電極6の行間に沿ってX方向にゲート配線4Gが配設されている。又画素電極6の列間に沿ってY方向に信号配線4Sが配設されている。各画素電極6と対応してスイッチング用の薄膜トランジスタ(TFT)9が形成されている。TFT9のゲート電極は対応するゲート配線4Gに接続されており、ソース電極は対応する信号配線4Sに接続されており、ドレイン電極は対応する画素電極6に接続されている。ゲート配線4Gに線順次で選択パルスを供給し、各行毎に画素電極6を導通状態にする。これと同期して、信号配線4Sに画像信号を供給し、導通状態にあるTFT9を介して画素電極6に画像信号を書き込み、所望の画像表示を行なうものである。なお、液晶表示装置の場合交流駆動が行なわれており、1行毎に画像信号の極性を反転している。場合によっては、1フィールド毎に画像信号の極性反転を行なう事もある。

【0012】次に、図3及び図4を参照して、図1及び図2に示したアクティブマトリクス型液晶表示装置の動作を詳細に説明する。図3は図2に示したX-X線上に沿って切断した模式的な断面図であり、(1)は隣り合う画素電極6の間隔Aが、対向電極7と画素電極6の間隔Bに比べて小さく設定した場合を表わしており、(2)は本発明に従って間隔Aを間隔Bに比べて大きく設定した場合を表わしている。(1)の電極配置構造で画素電極6及び対向電極7に電圧を印加すると、隣接画素電極間に発生する横方向電界E_Hの方が正規の縦方向電界E_Vより強くなってしまう為、画素電極6の端部近傍に位置する液晶分子3Mが本来向くべき垂直方向と異なって、斜め方向に向いてしまう。これによりリバースチルトドメインが発生したり、光抜けの原因となり画質の劣化につながる。一方(2)の電極配置構造では、画素電極6及び対向電極7に電圧を印加しても、横方向電界は

30
35
40
45
50

(4)

5

縦方向電界に比べて十分小さい為、液晶分子3Mは隣接画素電極の影響を受ける事なく本来向くべき方向に立ち上がる事ができる。

【0013】図4は、同じく図2に示したY-Y線に沿って切断した断面図であり、(1)は開口率確保の為隣り合う画素電極6の間隔Aを、対向電極7と画素電極6の間隔Bに比べて小さく設定した場合であり、(2)は本発明に従って間隔Aを間隔Bに比べて大きく設定した場合である。(1)に示した電極配置構造では、特に行毎に極性反転を行なって駆動を行なった時、隣り合う画素電極6間で正負反対の電圧がかかる事になるので、より大きな横方向電界EHの影響を受け液晶分子3Mの乱れが大きくなってしまう。即ち、行毎の極性反転駆動を行なうと、図3の(1)に示した左右画素電極間の電位差に比べ、図4の(1)に示した上下画素電極間の電位差が顕著に大きくなる。従って、本発明により規定されるA>Bの関係は、特に上下に隣接する画素電極間で満たす事が重要である。(2)に示す様に、A>Bの関係を満たす様に、画素電極6及び対向電極7を配置すれば、横方向電界による悪影響を除く事ができ液晶分子3Mを本来の垂直方向に立ち上げる事ができる。

【0014】本発明に従って規定されるA>Bの関係は、特に平坦化層を採用したアクティブマトリクス型液晶表示装置において重要な意味を有する。なぜならば、高開口率化が可能な平坦化層を有するアクティブマトリクス型液晶表示装置では、画素電極の面積を従来に比べ広くとれる事ができる。又、理論的にはパタニング精度の限界まで隣接画素電極間距離を縮小する事が可能なのでA>Bの関係を満たさない状況が多分に起り得るからである。A>Bの関係を常に安定して満たす製造方法上の手段として、画素電極間距離よりも小さい粒径を有するギャップスペーサを基板上に散布して主基板及び対向基板を貼り合わせれば良い。この方法によれば、隣接電極間距離が相当程度縮小されても、物理的に安定してA>Bの関係を保証する事が可能である。但し、液晶画素の高精細化及び高開口率化が進むにつれて、液晶層の厚みも小さくなる為、所定の電気光学特性を満たす液晶材料を適宜選択する必要が生じる。

【0015】次に、図5及び図6を参照して、図1に示したアクティブマトリクス型液晶表示装置の製造方法を詳細に説明する。先ず最初に、図5の工程Aにおいて、石英等からなる絶縁基板の表面に第1多結晶シリコン薄膜(1Poly)をLPCVD法により成膜する。次にSiイオン注入を行ない一旦微細化した後固相成長を行ない1Polyの大粒径化を図る。その後1Polyを島状にパタニングし素子領域を形成する。さらにその表面を熱酸化しSiO₂としてゲート酸化膜を得る。さらにボロニイオンを所定濃度で注入し、予め閾値電圧の調整を行なう。次に工程Bにおいて、LPCVD法によりSiNを成膜しゲート窒化膜とする。このSiNの表面

6

を熱酸化しSiO₂に転換する。この様にしてSiO₂/SiN/SiO₂の3層構造からなる耐圧性に優れたゲート絶縁膜が得られる。次にLPCVD法により第2多結晶シリコン薄膜(2Poly)を堆積する。2Polyの低抵抗化を図った後、所定の形状にパタニングしゲート電極Gを得る。次にゲート電極GをマスクとしてセルフアライメントによりAsイオンを注入し所謂LD構造とする。続いてSiNを部分的にエッチングで除去した後、Asイオンを高濃度で注入し1Polyにソース領域S及びドレイン領域Dを設ける。この様にしてNチャネル型のTFTが形成される。なお、Pチャネル型のTFTを形成する場合にはボロニイオンを注入する。続いて工程CにおいてAPCVD法により第1層間絶縁膜(1PSG)を堆積する。この1PSGに第1コントラクトホール(1CON)をパタニング形成した後、スパッタリングによりアルミニウム(A1)を全面的に成膜する。これを所定の形状にパタニングしてTFTのソース領域Sに電気接続する信号配線に加工する。

【0016】図6の工程Dにおいて、LPCVD法により、1PSGに重ねて第2層間絶縁膜(2PSG)を堆積し、A1からなる信号配線を完全に被覆する。続いて工程Eにおいて、2PSG表面の凹凸を平坦化層で埋める。この為、本実施例では所定の粘性を有する液状のアクリル樹脂をスピンドルコートで塗布した。その後加熱処理を施しアクリル樹脂を硬化させて平坦化層とした。硬化した平坦化層に対してフォトリソグラフィー及びエッチングを施し第2コントラクトホール(2CON)を形成する。この2CONの底部にはTFTのドレイン領域Dが露出している。次に、工程Fにおいてスパッタリングにより透明導電膜を成膜する。本実施例では透明導電膜材料としてITOを用いる。ITOは2CONの内部にも充填され、TFTのドレイン領域Dと電気的な導通がとられる。最後に工程GにおいてITOを所定の形状にパタニングし画素電極とする。以上の工程により平坦化された主基板が得られる。その後、所定の間隙を介して対向基板を接合し、該間隙内に液晶層を封入充填してアクティブマトリクス型液晶表示装置が得られる。

【0017】前述した実施例は平坦化層が形成されたアクティブマトリクス型液晶表示装置であるが、本発明はこれに限られるものではない。平坦化層を有しないアクティブマトリクス型液晶表示装置であっても、高精細化に伴ない信号配線やゲート配線の微細化が行なわれる場合に本発明は同様に有効である。この点に鑑み、図7を参照して本発明の第2実施例を詳細に説明する。図示する様に、アクティブマトリクス型液晶表示装置は、所定の間隙を介して互いに対面配置された主基板1及び対向基板2を有している。両基板1、2の間には一定の厚みBを有する液晶層3が保持されている。主基板1の表面には所定の間隔Aを介して画素電極6がマトリクス状に配列されている。又個々の画素電極6に対応して薄膜ト

(5)

7

ランジスタ素子（図示せず）が形成されている。さらに、マトリクス状に配列した画素電極6の間隔に沿って配線4が配設されている。該配線4の幅寸法Cは液晶層の厚み寸法Bに比べて微細化されている一方、隣り合う画素電極6の間隔寸法Aは液晶層3の厚み寸法Bよりも大きく設定されている。例えば、液晶層3の厚み寸法Bは $3 \sim 4 \mu\text{m}$ 程度である。一方、超L S I技術を適用し且つ低抵抗化を図る事により、配線4の幅寸法Cは $1 \mu\text{m}$ 程度まで微細化可能である。この場合、製造技術的には画素電極6の間隔寸法Aを液晶層3の厚み寸法Bよりも小さくする事が可能である。しかしながら、この場合には、前述した様にリバースチルトドメインや光抜けが発生する惧れがある。そこで、本発明に従って画素電極6の間隔寸法Aを液晶層の厚み寸法Bより大きく設定している。

【0018】参考の為、図8に一般的なアクティブマトリクス型液晶表示装置における画素電極6及び対向電極7の配置構造を示す。前述した様に液晶層3の厚み寸法Bは $3 \sim 4 \mu\text{m}$ に設定されている。一方、配線4の幅寸法Cは通常の加工技術のレベルでは $2 \sim 5 \mu\text{m}$ 程度が限界である。又、配線4と画素電極6の距離は $1 \sim 5 \mu\text{m}$ 程度である。従って、隣り合う画素電極6の間隔寸法Aは $5 \sim 5 \mu\text{m}$ 程度となり、液晶層Bの厚み寸法より大きい。従って、一般的なアクティブマトリクス型液晶表示装置では特にAとBの関係に配慮を払う必要がない。しかしながら、配線4の微細化を図りアクティブマトリクス型液晶表示装置の高精細化を実現する場合には、本発明により規定される関係A>Bを重要視する必要がある。

【0019】

【発明の効果】以上説明した様に、本発明によれば、アクティブマトリクス型液晶表示装置の高精細化及び高開口率化を図る場合、隣り合う画素電極の間隔をAとし画

(5)

8

素電極と対向電極の間隔をBとした時、A>Bの関係を満たす事により、リバースチルトドメインや光抜けを抑制する事ができる。この結果、高画質及び高コントラストのアクティブマトリクス型液晶表示装置を得る事ができるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス型液晶表示装置の第1実施例を示す模式的な部分断面図である。

【図2】図1に示したアクティブマトリクス型液晶表示装置の模式的な平面図である。

【図3】図1及び図2に示したアクティブマトリクス型液晶表示装置の動作説明図である。

【図4】同じく図1及び図2に示したアクティブマトリクス型液晶表示装置の動作説明図である。

【図5】図1に示したアクティブマトリクス型液晶表示装置の製造工程図である。

【図6】同じく製造工程図である。

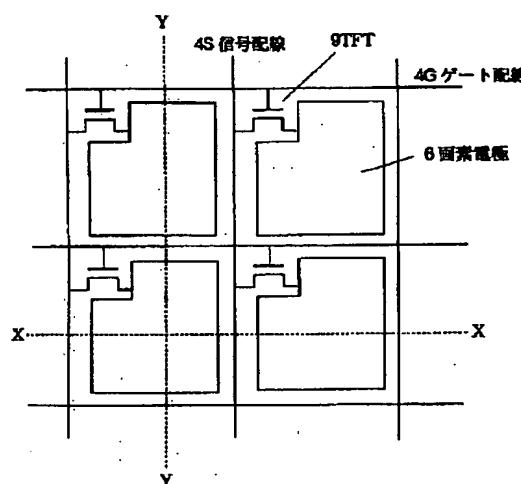
【図7】本発明にかかるアクティブマトリクス型液晶表示装置の第2実施例を示す模式的な断面図である。

【図8】アクティブマトリクス型液晶表示装置の参考例を示す断面図である。

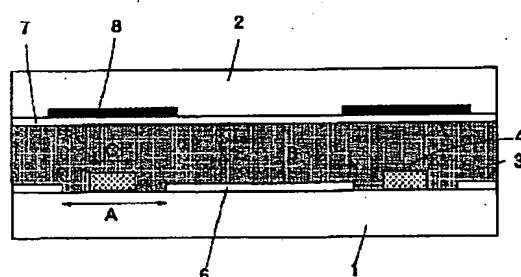
【符号の説明】

- 1 主基板
- 2 対向基板
- 3 液晶層
- 4 配線
- 5 平坦化層
- 6 画素電極
- 7 対向電極
- 8 ブラックマスク
- A 画素電極の間隔
- B 液晶層の厚み

【図2】

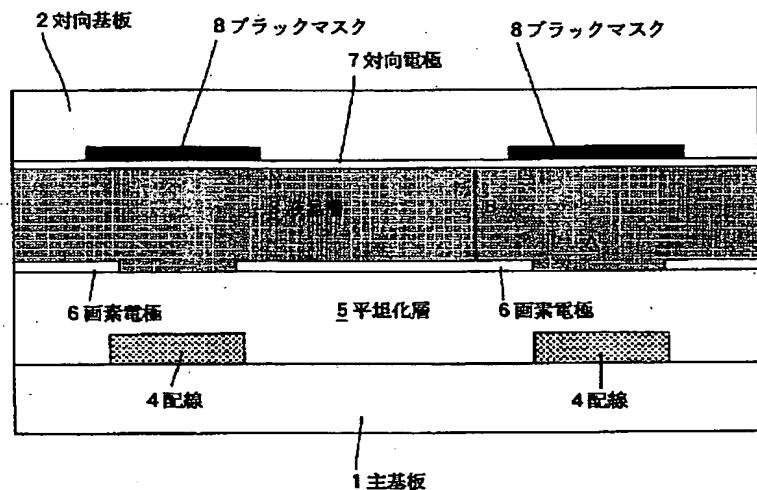


【図7】

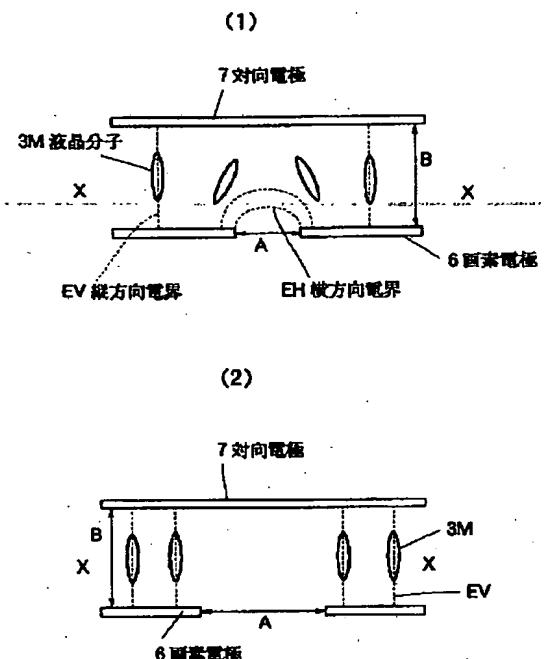


(6)

【図1】

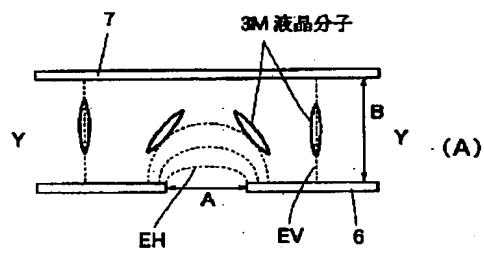


【図3】

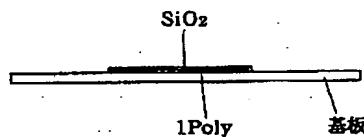


【図4】

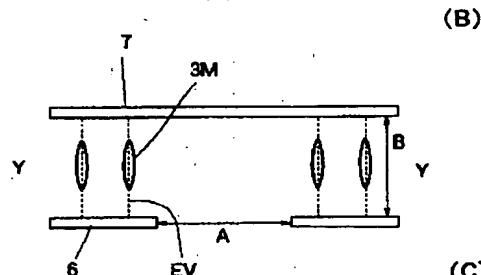
(1)



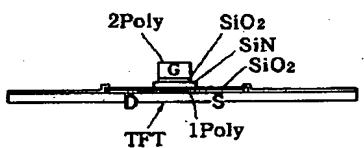
【図5】



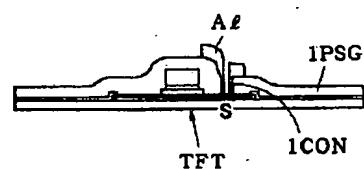
(2)



(B)

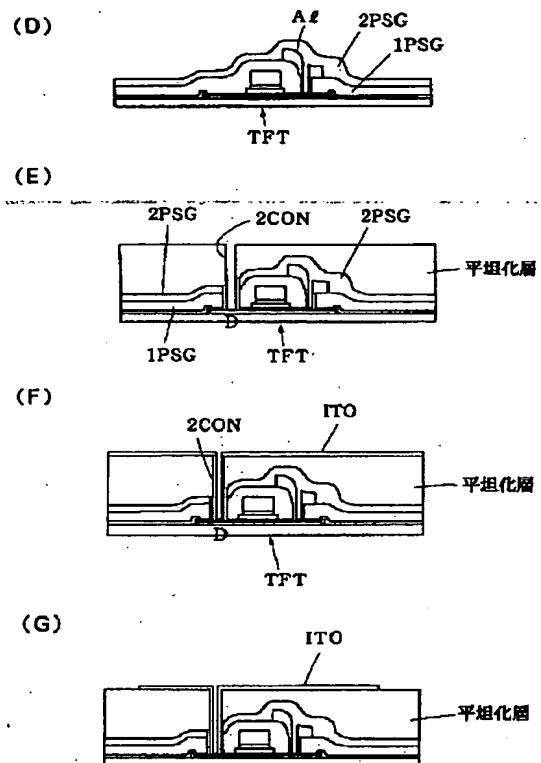


(C)

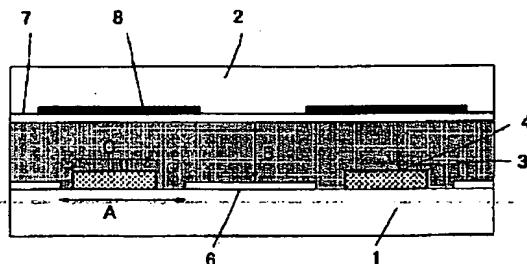


(7)

【図6】



【図8】



フロントページの続き

(72) 発明者 林 久雄

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内